

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-345240

(43)Date of publication of application : 29.11.2002

(51)Int.Cl.

H02M 3/28

(21)Application number : 2002-051565

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 27.02.2002

(72)Inventor : NISHIYAMA TOMOHIRO  
NOGUCHI SEIICHI

(30)Priority

Priority number : 2001075300

Priority date : 16.03.2001

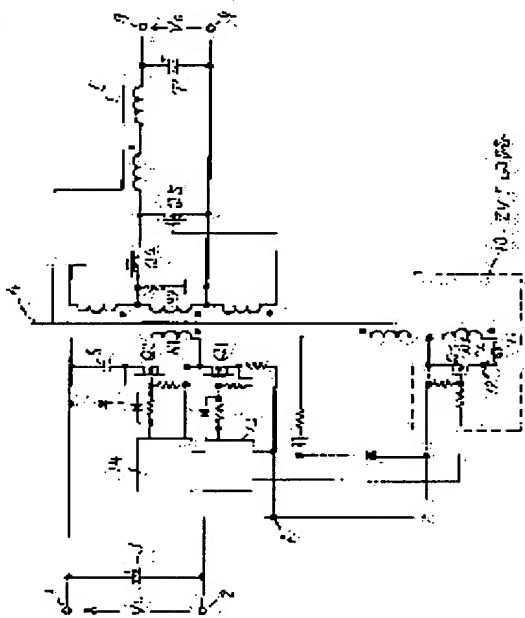
Priority country : JP

## (54) SWITCHING CONVERTER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To achieve the operation of zero-voltage transition with a small-sized and low-cost circuit without adding a particular transformer means in a switching converter.

**SOLUTION:** In the switching converter that receives an input voltage at the primary windings of a transformer means via a main switching element and rectifies and filters the AC voltage generated at the secondary windings of the transformer means to convert it into an output voltage, two circuits are provided; a ZVT circuit made up of the tertiary windings of the transformer means and a series circuit of ZVT switching elements that turn on at the zero voltage an inductor, diode, and a main switching element connected in series to the tertiary windings; and a switching control circuit for the 'on-off' control of the main switching element and the ZVT switching elements.



## LEGAL STATUS

[Date of request for examination]

22.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-345240

(P 2002-345240A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int. Cl.<sup>7</sup>

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テームコード (参考)

L 5H730

F

M

審査請求 未請求 請求項の数 17 O L

(全 8 頁)

(21) 出願番号 特願2002-51565 (P2002-51565)

(22) 出願日 平成14年2月27日 (2002. 2. 27)

(31) 優先権主張番号 特願2001-75300 (P2001-75300)

(32) 優先日 平成13年3月16日 (2001. 3. 16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 西山 知宏

東京都武蔵野市中町2丁目9番32号 横河電

機株式会社内

(72) 発明者 野口 聖一

東京都武蔵野市中町2丁目9番32号 横河電

機株式会社内

F ターム (参考) 5H730 AA02 AA14 BB23 DD04 DD23

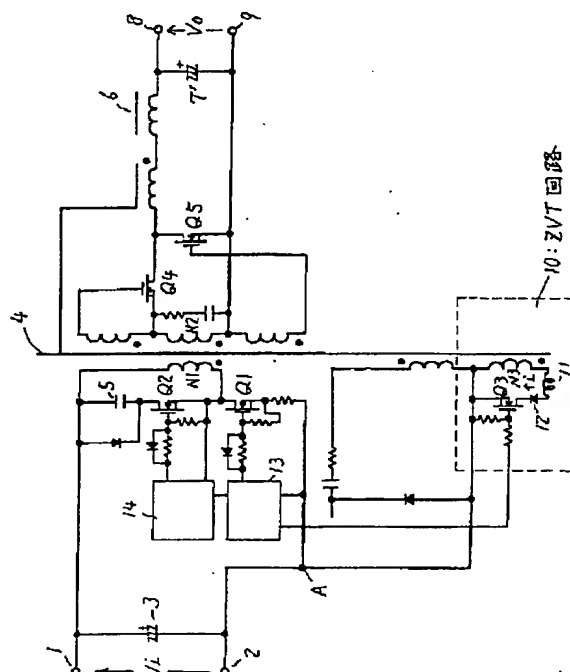
EE13

(54) 【発明の名称】 スイッチングコンバータ

(57) 【要約】

【課題】 スイッチングコンバータにおいて、専用のトランス手段を増設することなく、Zero-Voltage-Transitionの動作を小型安価な回路で実現する。

【解決手段】 入力電圧を、メインスイッチ素子を介してトランス手段の1次巻線に受け、前記トランス手段の2次巻線に発生する交流電圧を整流平滑して出力電圧に変換するスイッチングコンバータにおいて、前記トランス手段に設けた3次巻線と、この3次巻線に直列に接続されたインダクタ、ダイオード、メインスイッチ素子をゼロ電圧でターンオンさせるZVTスイッチ素子の直列回路とよりなるZVT回路と、前記メインスイッチ素子並びに前記ZVTスイッチ素子をオンオフ制御するためのスイッチング制御回路とを具備せしめた。



## 【特許請求の範囲】

【請求項1】入力電圧を、メインスイッチ素子を介してトランス手段の1次巻線に受け、前記トランス手段の2次巻線に発生する交流電圧を整流平滑して出力電圧に変換するスイッチングコンバータにおいて、

前記トランス手段に設けた3次巻線と、この3次巻線に直列に接続されたインダクタ、ダイオード、メインスイッチ素子をゼロ電圧でターンオンさせるZVTスイッチ素子の直列回路とよりなるZVT回路と、

前記メインスイッチ素子並びに前記ZVTスイッチ素子をオンオフ制御するためのスイッチング制御回路と、を具備するスイッチングコンバータ。

【請求項2】前記ZVTスイッチ素子のターンオンが前記メインスイッチ素子のターンオンより早く、前記ZVTスイッチ素子のターンオフが前記メインスイッチ素子のターンオフより早くなるように前記両スイッチ素子が同期してオンオフ制御されることを特徴とする請求項1記載のスイッチングコンバータ。

【請求項3】前記インダクタとして、前記1次巻線と前記3次巻線間の漏れインダクタンスを利用するように構成されている請求項1又は2記載のスイッチングコンバータ。

【請求項4】前記1次巻線に並列に接続された、リセットスイッチ素子とコンデンサとの直列回路で構成されるアクティブクランプ回路を具備する請求項1乃至3の何れかに記載されたスイッチングコンバータ。

【請求項5】前記リセットスイッチ素子は、前記メインスイッチ素子と同時オンの期間がないように同時オフの期間が設けられて逆位相に駆動され、かつ、前記ZVTスイッチ素子のターンオンは、前記リセットスイッチのターンオフよりも早くなるように制御され、前記ZVTスイッチ素子のターンオフは、前記メインスイッチ素子のターンオフよりも早くなるように制御されることを特徴とする請求項4記載のスイッチングコンバータ。

【請求項6】前記メインスイッチ素子、ZVTスイッチ素子、リセットスイッチ素子がMOS型FETにより実現される請求項1乃至5の何れかに記載されたスイッチングコンバータ。

【請求項7】前記メインスイッチ素子及び前記ZVTスイッチ素子をオンオフ制御する前記スイッチング制御回路が、共通電位点に接続されてなる請求項1乃至6の何れかに記載のスイッチングコンバータ。

【請求項8】前記スイッチングコンバータの負荷に応じて前記ZVTスイッチ素子のターンオンから前記リセットスイッチ素子のターンオフまでの時間を変化させることを特徴とする請求項1乃至7の何れかに記載のスイッチングコンバータ。

【請求項9】入力電圧を、メインスイッチ素子を介して磁性素子の主巻線に受け、前記磁性素子に発生する交流電圧を整流平滑して出力電圧に変換するスイッチングコ

ンバータであって、

前記磁性素子に設けた補助巻線と、この補助巻線に直列に接続されたインダクタ、ダイオード、メインスイッチをゼロ電圧でターンオンさせるZVTスイッチ素子とよりなるZVT回路と、

前記メインスイッチ素子並びに前記ZVTスイッチ素子をオンオフ制御するためのスイッチング制御回路と、を具備するスイッチングコンバータ。

【請求項10】前記ZVTスイッチ素子のターンオンが前記メインスイッチ素子のターンオンより早く、前記ZVTスイッチ素子のターンオフが前記メインスイッチ素子のターンオフより早くなるように前記両スイッチ素子が同期してオンオフ制御されることを特徴とする請求項9記載のスイッチングコンバータ。

【請求項11】前記インダクタとして、前記主巻線と前記補助巻線の漏れインダクタンスを利用するように構成されている請求項9又は10記載のスイッチングコンバータ。

【請求項12】前記磁性素子に並列に接続された、リセットスイッチ素子とコンデンサとの直列回路で構成されるアクティブクランプ回路を具備する請求項9乃至11の何れかに記載されたスイッチングコンバータ。

【請求項13】前記メインスイッチ素子と前記磁性素子の中点に発生する電圧を整流平滑して出力電圧に変換する昇圧形コンバータをなす請求項9乃至12の何れかに記載されたスイッチングコンバータ。

【請求項14】前記リセットスイッチ素子は、前記メインスイッチ素子と同時オンの期間がないように同時オフの期間が設けられて逆位相に駆動され、かつ、前記ZVTスイッチ素子のターンオンは、前記リセットスイッチのターンオフよりも早くなるように制御され、前記ZVTスイッチ素子のターンオフは、前記メインスイッチ素子のターンオフよりも早くなるように制御されることを特徴とする請求項12記載のスイッチングコンバータ。

【請求項15】前記メインスイッチ素子、ZVTスイッチ素子、リセットスイッチ素子がMOS型FETにより実現される請求項9乃至14の何れかに記載されたスイッチングコンバータ。

【請求項16】前記メインスイッチ素子及び前記ZVTスイッチ素子をオンオフ制御する前記スイッチング制御回路が、共通電位点に接続されてなる請求項9乃至15の何れかに記載のスイッチングコンバータ。

【請求項17】前記スイッチングコンバータの入力又は負荷に応じて前記ZVTスイッチ素子のターンオンから前記リセットスイッチ素子のターンオフまでの時間を、入力又は負荷が大きい場合は長くなるようにし、小さい場合は短くなるように、変化させることを特徴とする請求項9乃至16の何れかに記載のスイッチングコンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スイッチングコンバータにおけるZVT（Zero-Voltage-Transition）回路の改善に関する。

## 【0002】

【従来の技術】図8は、U.S. Patent 5418704に開示されているZVT回路を、フォワード型スイッチングコンバータへ適用した場合の基本回路構成を示す。この回路の特徴は、メインスイッチ素子Sをゼロ電圧でターンオンさせるためのZVTスイッチS1と、トランスLrが増設配置されている点である。ZVTスイッチS1を制御することにより、Zero-Voltage-Transitionの動作が実現される。

【発明が解決しようとする課題】図8の構成において、トランス手段（磁性部品）Lrの形状が大きく、小型化の障害になり、コスト高となる欠点がある。また、ZVTスイッチS1には高耐圧のものが要求され、コスト高となるという欠点がある。本発明は、専用のトランス手段を増設することなく、Zero-Voltage-Transitionの動作を小型安価な回路で実現することを目的とする。

## 【0003】

【課題を解決するための手段】このような課題を達成するために、本発明のうち請求項1記載発明の特徴は、入力電圧を、メインスイッチ素子を介してトランス手段の1次巻線に受け、前記トランス手段の2次巻線に発生する交流電圧を整流平滑して出力電圧に変換するスイッチングコンバータにおいて、前記トランス手段に設けた3次巻線と、この3次巻線に直列に接続されたインダクタ、ダイオード、メインスイッチ素子をゼロ電圧でターンオンさせるZVTスイッチ素子の直列回路とよりなるZVT回路と、前記メインスイッチ素子並びに前記ZVTスイッチ素子をオンオフ制御するためのスイッチング制御回路と、を具備せしめた点にある。

【0004】請求項2記載発明の特徴は、前記ZVTスイッチ素子のターンオンが前記メインスイッチ素子のターンオンより早く、前記ZVTスイッチ素子のターンオフが前記メインスイッチ素子のターンオフより早くなるように前記両スイッチ素子が同期してオンオフ制御される点にある。

【0005】請求項3記載発明の特徴は、前記インダクタとして、前記1次巻線と前記3次巻線間の漏れインダクタンスを利用するように構成されている点にある。

【0006】請求項4記載発明の特徴は、前記1次巻線に並列に接続された、リセットスイッチ素子とコンデンサとの直列回路で構成されるアクティブクランプ回路を具備する点にある。

【0007】請求項5記載発明の特徴は、前記リセットスイッチ素子は、前記メインスイッチ素子と同時オンの期間がないように同時オフの期間が設けられて逆位相に

駆動され、かつ、前記ZVTスイッチ素子のターンオンは、前記リセットスイッチのターンオフよりも早くなるように制御され、前記ZVTスイッチ素子のターンオフは、前記メインスイッチ素子のターンオフより早くなるように制御される点にある。

【0008】請求項6記載発明の特徴は、前記メインスイッチ素子、ZVTスイッチ素子、リセットスイッチ素子がMOS型FETにより実現される点にある。

【0009】請求項7記載発明の特徴は、前記メインスイッチ素子及び前記ZVTスイッチ素子をオンオフ制御する前記スイッチング制御回路が、共通電位点に接続されてなる点にある。

【0010】請求項8記載発明の特徴は、前記スイッチングコンバータの負荷に応じて前記ZVTスイッチ素子のターンオンから前記リセットスイッチ素子のターンオフまでの時間を変化させる点にある。

【0011】請求項9記載発明の特徴は、入力電圧を、メインスイッチ素子を介して磁性素子の主巻線に受け、前記磁性素子に発生する交流電圧を整流平滑して出力電圧に変換するスイッチングコンバータであって、前記磁性素子に設けた補助巻線と、この補助巻線に直列に接続されたインダクタ、ダイオード、メインスイッチをゼロ電圧でターンオンさせるZVTスイッチ素子とよりなるZVT回路と、前記メインスイッチ素子並びに前記ZVTスイッチ素子をオンオフ制御するためのスイッチング制御回路と、を具備した点にある。

【0012】請求項10記載発明の特徴は、前記ZVTスイッチ素子のターンオンが前記メインスイッチ素子のターンオンより早く、前記ZVTスイッチ素子のターンオフが前記メインスイッチ素子のターンオフより早くなるように前記両スイッチ素子が同期してオンオフ制御される点にある。

【0013】請求項11記載発明の特徴は、前記インダクタとして、前記主巻線と前記補助巻線の漏れインダクタンスを利用するように構成されている点にある。

【0014】請求項12記載発明の特徴は、前記磁性素子に並列に接続された、リセットスイッチ素子とコンデンサとの直列回路で構成されるアクティブクランプ回路を具備する点にある。

【0015】請求項13記載発明の特徴は、前記メインスイッチ素子と前記磁性素子の中点に発生する電圧を整流平滑して出力電圧に変換する昇圧形コンバータをなす点にある。

【0016】請求項14記載発明の特徴は、前記リセットスイッチ素子は、前記メインスイッチ素子と同時オンの期間がないように同時オフの期間が設けられて逆位相に駆動され、かつ、前記ZVTスイッチ素子のターンオンは、前記リセットスイッチのターンオフよりも早くなるように制御され、前記ZVTスイッチ素子のターンオフは、前記メインスイッチ素子のターンオフよりも早

くなるように制御される点にある。

【0017】請求項15記載発明の特徴は、前記メインスイッチ素子、ZVTスイッチ素子、リセットスイッチ素子がMOS型FETにより実現される点にある。

【0018】請求項16記載発明の特徴は、前記メインスイッチ素子及び前記ZVTスイッチ素子をオンオフ制御する前記スイッチング制御回路が、共通電位点に接続されてなる点にある。

【0019】請求項17記載発明の特徴は、前記スイッチングコンバータの入力又は負荷に応じて前記ZVTスイッチ素子のターンオンから前記リセットスイッチ素子のターンオフまでの時間を、入力又は負荷が大きい場合は長くなるようにし、小さい場合は短くなるように、変化させる点にある。

【0020】

【発明の実施の形態】以下本発明実施態様を、図面を用いて説明する。図1は、本発明をフォワード型スイッチングコンバータに適用した具体的実施例を示す。入力端子1、2間に導かれる直流入力電圧 $V_i$ はコンデンサ3に印加され、トランス手段4の1次巻線N1とMOS型FETよりなるメインスイッチ素子Q1の直列回路に印加される。後述のスイッチ素子Q2乃至Q5も、MOS型FETで実現されている。

【0021】トランス手段4の2次巻線N2には、同期整流用スイッチ素子Q4、Q5が接続され、整流出力が低域フィルタ6、7を介して出力端子8、9に直流出力電圧 $V_0$ を供給している。更に、トランスのリセットのために、リセットスイッチ素子Q2とコンデンサ5の直列回路よりなるアクティブクランプ回路が1次巻線N1と並列に接続されている。

【0022】点線のブロック10は、本発明の特徴部であるZVT回路である。この回路の構成は、トランス手段4の3次巻線N3と、この3次巻線に接続される、インダクタ11、ダイオード12、ZVTスイッチ素子Q3よりなる直列回路よりなる。3次巻線N3とZVTスイッチ素子Q3の接続点とメインスイッチ素子Q1のソース側とは、入力端子の負電位側2（A点で示す）の共通電位点に接続されている。

【0023】13はメインスイッチ素子Q1並びにZVTスイッチ素子Q3のオンオフを制御する第1スイッチング制御回路であり、前記共通電位点Aをベースとした制御信号をQ1、Q3の各ゲートに供給する。14はリセットスイッチ素子Q2のオンオフを制御する第2スイッチング制御回路であり、前記共通電位点Aより所定の電位シフトした電位点をベースとした制御信号をQ2のゲートに供給する。

【0024】図2は、メインスイッチ素子Q1、リセットスイッチ素子Q2、ZVTスイッチ素子Q3のオンオフ制御信号のタイミングを示す波形図である。メインスイッチ素子Q1の制御信号は、所定の直流出力電圧 $V_0$

が得られるようにオンとオフの期間が第1スイッチング制御回路13により調整される。

【0025】リセットスイッチ素子Q2の制御信号は、メインスイッチ素子Q1と動作が逆位相となるように設定される。この時、メインスイッチ素子Q1とリセットスイッチ素子Q2は同時オンの期間がないように同時オフの期間を設けてある。

【0026】ZVTスイッチ素子Q3のターンオンは、リセットスイッチ素子Q2のターンオフよりも早くなるように構成している。更に、ZVTスイッチ素子Q3のターンオフは、メインスイッチ素子Q1のターンオンよりは遅く、ターンオフよりは早くなるようにタイミング関係が設定されている。

【0027】図3は、ZVT回路においてインダクタ11、ダイオード12、ZVTスイッチ素子Q3よりなる直列回路を流れる電流 $i$ とメインスイッチ素子Q1のドレイン・ソース間電圧 $V_{ds}$ の関係を示す波形図であり、この電流 $i$ の作用によりZero-Voltage-Transitionが実現される。

【0028】図4乃至図6により本発明動作を詳細に説明する。図4は、図2及び図3の波形図をまとめ、各信号のタイミング関係を分かりやすく表示したものである。(A)はメインスイッチ素子Q1のゲート信号、(B)はリセットスイッチ素子Q2のゲート信号、(C)はZVTスイッチ素子Q3のゲート信号、(D)はZVT回路10直列回路を流れる電流 $i$ の波形図、(E)はメインスイッチ素子Q1のドレイン・ソース間電圧 $V_{ds}$ の波形図である。

【0029】図4において、オン状態のQ1がターンオフ、これに同期してオフ状態のQ2がターンオンする時刻 $t_1$ までの期間をT1、この時刻 $t_1$ よりQ3がターンオンする時刻 $t_2$ までの期間をT2、この時刻 $t_2$ からQ2が再びターンオフする時刻 $t_3$ までの期間をT3、この時刻 $t_3$ よりQ1が再びターンオンするまでの時刻 $t_4$ までの期間をT4、この時刻 $t_4$ よりQ3が再びターンオフする時刻 $t_5$ までの期間をT5で示す。

【0030】ZVT回路10直列回路を流れる電流 $i$ は、期間T3乃至T5で(D)に図示されるように台形状に流れ、メインスイッチ素子Q1のドレイン・ソース間電圧 $V_{ds}$ は(E)に図示されるように期間T4の間にゼロまで降下し、 $V_{ds}=0$ の状態でも $t_4$ のタイミングでQ1がターンオンする。

【0031】以下、各期間T1乃至T5における動作を図5、図6により説明する。図5は本発明の動作に関連する主要部を図1から抽出した回路構成図である。図6(A)乃至(E)は、期間T1乃至T5における図5の要素のオンオフ状態を表す説明図であり、理解を容易にするために、オンの場合は短絡線で、オフの場合は図5の要素のままを表示している。

【0032】期間T1の動作(図6(A参照))：メイ

ンスイッチ素子Q1がオン、リセットスイッチ素子Q2がオフ、ZVTスイッチ素子Q3がオフの場合、トランス手段4の1次巻線N1には入力電圧Viが印加される。この時、トランス手段4の3次巻線N3、インダクタ11とダイオード12、ZVTスイッチ素子Q3の直列回路において、ダイオード12は逆バイアスされオフとなっている。

【0033】期間T2の動作(図6(B)参照):メインスイッチ素子Q1がオフとなり、リセットスイッチQ2がオン、ZVTスイッチ素子Q3がオフの場合、トランス手段4の1次巻線N1にはリセット用コンデンサ5の電圧Vcが印加される。この時、トランス手段4の3次巻線N3、インダクタ11とダイオード12とZVTスイッチ素子Q3の直列回路において、オフであるZVTスイッチ素子Q3に電圧が発生している。

【0034】期間T3の動作(図6(C)参照):ZVTスイッチ素子Q3がオンとなり、メインスイッチ素子Q1がオフ、リセットスイッチ素子Q2がオンの場合、トランス手段4の3次巻線N3には、巻線数をN1、N3とする時、 $V_c \cdot N_3 / N_1$ の電圧が発生し、これがインダクタ11に印加される。ZVTスイッチ素子Q3はゼロ電流でターンオンし、インダクタ11の電流iは、図4(D)に示すように直線的に増加する。

【0035】期間T4の動作(図6(D)参照):次に、リセットスイッチ素子Q2がオフとなり、メインスイッチ素子Q1がオフ、ZVTスイッチ素子Q3がオンの場合、インダクタ11は流れる電流iを一定に保持しようとする(図4(D))。これが、メインスイッチ素子Q1の出力容量の電荷を引き抜くことになり、メインスイッチ素子Q1のドレイン・ソース間電圧Vdsをゼロ電圧まで引き下げる。これに伴い、トランス手段4の1次巻線N1の電圧は、入力電圧Viまで変化する。

【0036】期間T5の動作(図6(E)参照):メインスイッチ素子Q1のドレイン・ソース間電圧Vdsをゼロ電圧となったところで、インスイッチ素子Q1をオンに制御すれば、メインスイッチ素子Q1はゼロ電圧でターンオンする。リセットスイッチ素子Q2はオフ、ZVTスイッチ素子はオンの場合、トランス手段4の3次巻線N3には、 $V_i \cdot N_3 / N_1$ の電圧が発生し、これがインダクタ11に印加される。インダクタ11の電流iは、図4(D)に示すように直線的に減少し、ゼロに達するとダイオード12が逆バイアスとなり流れなくなる。

【0037】時刻t5では、ZVTスイッチ素子Q3はオフとなり、メインスイッチ素子Q1がオン、リセットスイッチQ2がオフとなって、T1の状態に戻り、以下この動作が繰り返される。これらの一連の動作においてZVTスイッチ素子Q3は、ゼロ電圧、ゼロ電流でターンオフする。

【0038】以上説明した実施例において、トランス手

段4の1次巻線N1と3次巻線N3の結合が悪く、この間に漏れインダクタンスが存在する場合は、この漏れインダクタンスはインダクタンス11と加算して考えることができる。漏れインダクタンスが十分大きい場合には、インダクタンス11を省略することができるので、意図的に結合状態を疎とする設計により、インダクタンス11を不用とするコスト削減も可能である。

【0039】また、図4(D)に示すように、ZVTスイッチ素子Q3がターンオンするタイミングt2からリセットスイッチ素子Q2がターンオフするタイミングt3までの期間Td(期間T3と一致する)は、ZVTスイッチ素子Q3を流れる電流iのピーク値ipと比例関係にある。

【0040】スイッチングコンバータが重負荷の時に期間Tdを最適化した状態で軽負荷にすると、ZVTスイッチ素子Q3を流れる電流iで損失が無駄に増加してしまう問題がある。この場合は、負荷電流に比例して期間Tdを調整し、ピーク値ipを変化させて損失を低く抑える補助回路を設けることが有効である。

【0041】本発明では、ZVTスイッチ素子Q3は、3次巻線N3のターン数でそこで必要な耐圧を調節することができるので、素子選択の幅が広がる。従って、設計により安価な低耐圧品を使うことが可能である。

【0042】本発明の他の実施例を説明する。図1の実施例では、スイッチングコンバータは1次巻線と2次巻線および3次巻線を有するトランスを有し、2次巻線より出力を得る構成になっている。この実施例では、トランスの損失が発生するため、電源の仕様によっては高い効率を得られないことがある。これは、トランスが理想的な特性でないことによる。入力電流の力率改善用のコンバータとしては、設計仕様として絶縁を必要としない場合も多い。以下に説明する他の実施例は、非絶縁の昇圧形コンバータを利用して高い変換効率を得られ、しかもノイズを低減した実施例である。

【0043】図7は本発明の他の実施例を示した構成図である。図7で、磁性素子Mの主巻線MmとメインスイッチQ6とダイオード20は昇圧形コンバータを構成する。図7のスイッチングコンバータは、入力電圧を、メインスイッチ素子Q6を介して磁性素子Mの主巻線Mmに受け、磁性素子Mに発生する交流電圧と入力電圧の和、つまりメインスイッチ素子Q6と磁性素子Mの midpoint に発生する電圧(メインスイッチ素子Q6に発生する電圧)を整流平滑して出力電圧に変換する。

【0044】ZVT回路30は、磁性素子Mに設けた補助巻線Ma、この補助巻線Maに直列に接続されたインダクタ21、ダイオード22、メインスイッチをゼロ電圧でターンオンさせるZVTスイッチ素子Q7とから構成されている。また、メインスイッチ素子Q6及びZVTスイッチ素子Q7の駆動電圧の基準電位が共通となるように接続されている。スイッチング制御回路40はメイン

スイッチ素子Q6とZVTスイッチ素子Q7をオンオフ制御する。スイッチング制御回路40は、ZVTスイッチ素子Q7のターンオンがメインスイッチ素子Q6のターンオンより早く、ZVTスイッチ素子Q7のターンオフがメインスイッチ素子Q6のターンオフより早くなるように両スイッチ素子が同期してオンオフ制御する。

【0045】図7の実施例の動作を説明する。時間の経過に従って次の順に動作する。

(a) まず、メインスイッチ素子Q6がオンでZVTスイッチ素子Q7がオフの時、ダイオード20はオフとなり磁性素子Mは励磁される。

(b) 次に、ZVTスイッチ素子Q7はオフを維持しメインスイッチ素子Q6がオフとなると、ダイオード20はオンとなり、これに電流が流れる。

(c) メインスイッチ素子Q6はオフを維持しZVTスイッチ素子Q7がオンとなると、ZVT回路30には電流が流れはじめる。ZVTスイッチ素子Q7はゼロ電流でターンオンする。インダクタ21があるため、ZVT回路30の電流は徐々に増加していく。これに伴い、ダイオード20の電流は減少し、やがてターンオフする。変化が急峻でないためリカバリは低く抑えられる。その結果、ノイズ、サージ、損失が低減する。

(d) ZVTスイッチ素子Q7がオンを維持しメインスイッチ素子Q6がオンになると、磁性素子Mの電圧は反転し、ZVT回路30の電流は減少するようになる。やがてダイオード22がオフとなり電流が流れなくなる。ダイオード20はオフを維持する。

(e) メインスイッチ素子Q6がオンを維持しZVTスイッチ素子Q7がオフとなる。この時、ZVTスイッチ素子Q7は、ゼロ電圧でターンオフする。また、ダイオード20はオフを維持する。

以上の動作が繰り返される。

【0046】図7の実施例では、トランスの代わりに昇圧形コンバータを用いているため、高い変換効率を得られる。また、ダイオード20の電流の変化は急峻でないためリカバリは低く抑えられ、その結果、ノイズを低減できる。

【0047】なお、本発明は、昇圧形コンバータのみでなく、降圧形コンバータや昇降圧形コンバータ等のあらゆる変換方式を適用してもよい。

【0048】

【発明の効果】以上説明したように、本発明によればスイッチングコンバータにおいて、専用のトランス手段を増設することなく、Zero-Voltage-Transitionの動作を簡易な回路で実現でき、小型で低コストのスイッチングコンバータを実現できる。

【0049】更に、本発明によれば、Zero-Voltage-Transitionに必要なインダクタにトランスの漏れインダクタンスが有効利用できるため、このインダクタを小形化又は省略することができ、更に小型化で低コスト化に貢

献できる。

【0050】ZVTスイッチ素子Q3は、3次巻線のターン数でそこで必要な耐圧を調節することができるので、素子選択の幅が広がり、低耐圧品採用による低コスト化に貢献できる。

【0051】メインスイッチ素子Q1と、ZVTスイッチ素子Q3のオンオフ制御に、同電位のスイッチング制御回路を使うことができるので、回路構成が簡素となり、小形化、低コスト化に貢献できる。

【0052】トランスの代わりに非絶縁の昇圧形コンバータを利用することによって、高い変換効率を得られ、しかもノイズを低減したコンバータを実現できる。

【図面の簡単な説明】

【図1】本発明をフォワード型スイッチングコンバータに適用した具体的実施例を示す回路構成図である。

【図2】メインスイッチ素子、ZVTスイッチ素子、リセットスイッチ素子の駆動信号のタイミング波形図である。

【図3】ZVTスイッチ素子の電流と、メインスイッチ素子のドレイン・ソース間電圧の波形図である。

【図4】図2及び図3の波形図をまとめ、各信号のタイミング関係を分かりやすく表示した波形図である。

【図5】本発明の動作を説明するための、主要部を抽出した回路構成図である。

【図6】図4で示した期間T1乃至T5における、図5の各要素のオンオフ関係を示す説明図である。

【図7】本発明の他の実施例を示した構成図である。

【図8】ZVT回路を有する従来のフォワード型スイッチングコンバータの構成図である。

【符号の説明】

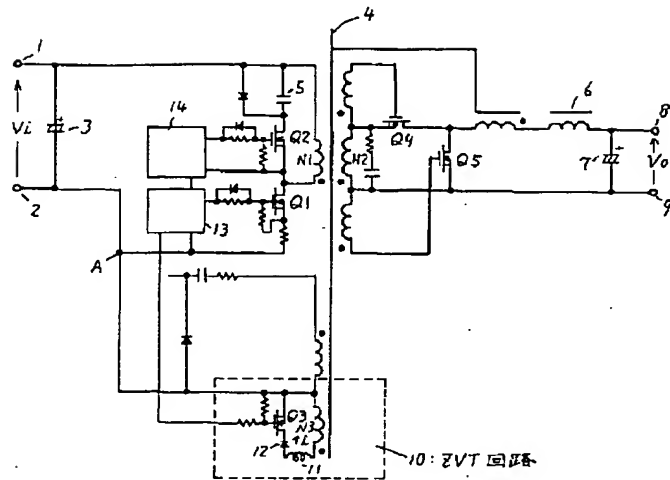
- 1, 2 入力端子
- 3 コンデンサ
- 4 トランス手段
- 5 リセット用コンデンサ
- 6, 7 低域フィルタ
- 8, 9 出力
- 10, 30 ZVT回路
- 11, 21 インダクタ
- 12, 20, 22 ダイオード
- 13 第1スイッチング制御回路
- 14 第2スイッチング制御回路
- 40 スwitchング制御回路
- Q1, Q6 メインスイッチ素子
- Q2 リセットスイッチ素子
- Q3, Q7 ZVTスイッチ素子
- Q4, Q5 同期整流用スイッチ素子
- N1 1次巻線
- N2 2次巻線
- N3 3次巻線
- M 磁性素子



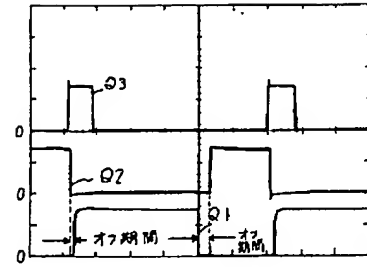
Mm 主巻線

Ma 補助巻線

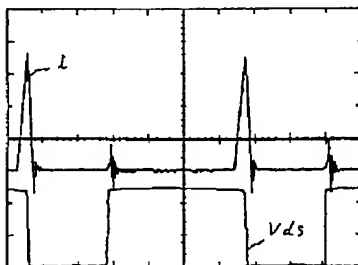
【図 1】



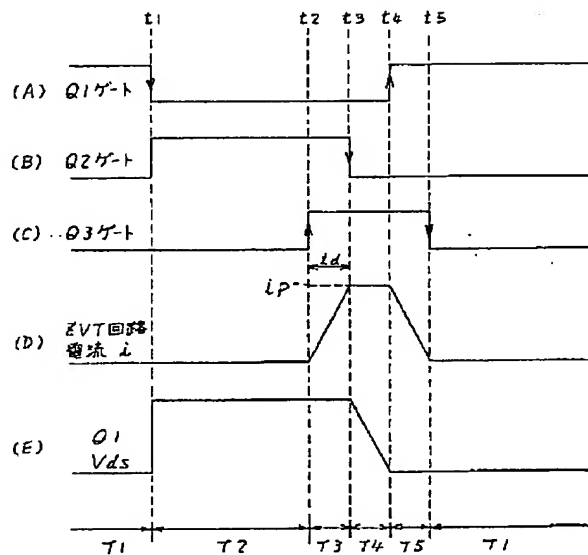
【図 2】



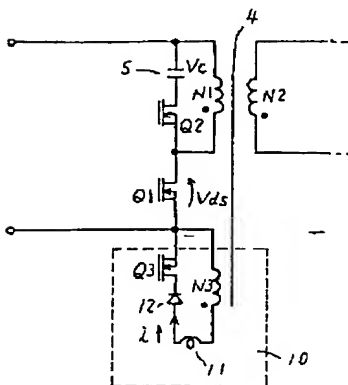
【図 3】



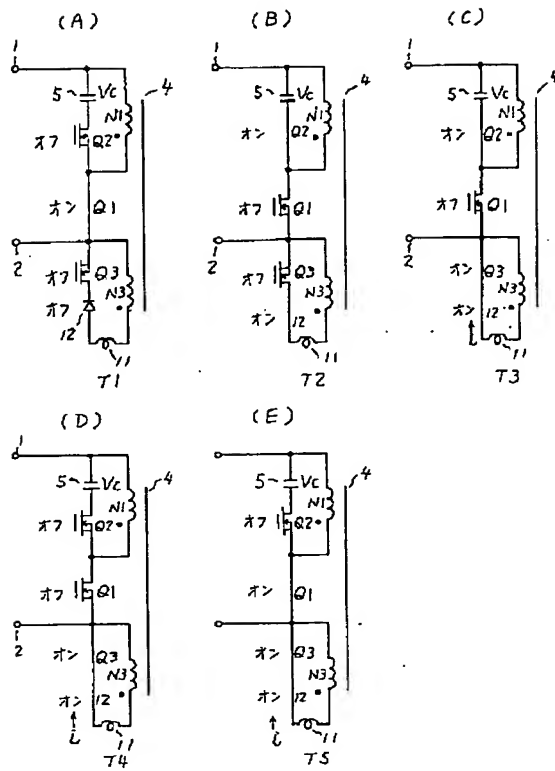
【図 4】



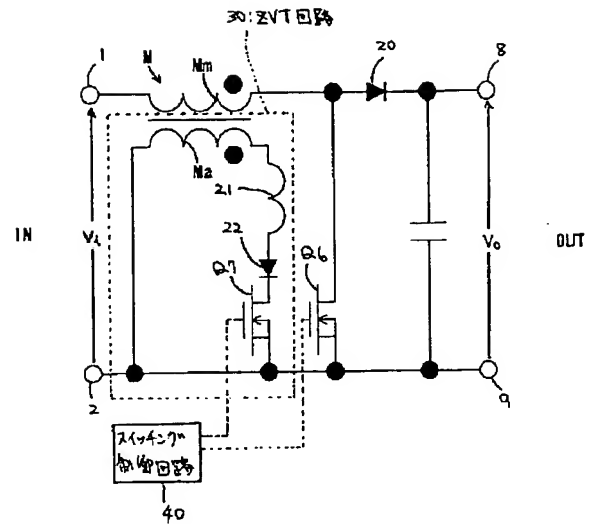
【図 5】



【図6】



【図7】



【図8】

